

Les challenges de l'intégration monolithique et hybride pour la photonique sur silicium

Audrey Michard^{1,2}, Jean-François Carpentier¹, Pietro Maris Ferreira²

¹STMicroelectronics

850 rue Jean Monnet

38926 Crolles, France

²GeePs, UMR CNRS 8507 ; Département de Systèmes Électroniques – CentraleSupélec

3 rue Joliot Curie

91192 Gif-sur-Yvette, France

E-mail : audrey.michard@supelec.fr

Résumé

Ce papier présente une revue des principales méthodes d'intégration (monolithique, wire-bonding et flip-chip) permettant d'assembler les puces électronique et photonique d'un transceiver à base d'anneaux résonants. Les applications de la photonique sur silicium visent en premier lieu les liens datacenters, d'où la volonté d'augmenter le débit des données échangées tout en s'assurant que le transceiver respecte les standards actuels de packaging et de consommation de puissance. Nous analysons ainsi pour chacune des méthodes d'intégration sa qualité à partir de ces éléments-clés. Nous montrons que l'intégration monolithique conduit à de faibles impédances parasites mais est plus difficilement adaptable avec des nœuds technologiques réduits. Au contraire l'intégration par wire-bonding bénéficie d'une grande flexibilité des procédés de fabrication et permet donc l'optimisation séparée du PIC et de l'EIC. Enfin l'intégration par flip-chip permet de combiner les avantages précédents. Cet assemblage 3D se justifie également par la réduction de l'empreinte des puces ainsi qu'un couplage facilité des fibres optiques. Par conséquent l'intégration par flip-chip réalise certainement le meilleur compromis en matière d'optimisation des performances du transceiver.

1. Introduction

La photonique sur silicium est considérée comme une technologie d'avenir critique pour les applications de communications et de calcul à très haute vitesse. En effet le débit de données échangées ne cesse d'augmenter que ce soit au niveau de liaisons à grande distance à travers le monde ou au sein des centres de traitement de données. La photonique sur silicium permet d'apporter des solutions à ces problématiques, notamment car les liaisons optiques permettent de dépasser les limites physiques des interconnexions électriques.

Le développement de puces hybrides nécessite, entre autres, de s'intéresser de près à l'intégration entre les composants électroniques et photoniques car celle-ci

met en jeu des aspects prépondérants de la conception d'un transceiver électro-optique tels que la facilité d'implémentation des circuits, le contrôle des parasites, le coût de fabrication, etc...

Plusieurs types d'intégrations sont rapportés dans l'état de l'art. Par exemple certains travaux sont basés sur l'intégration des matériaux III-V ce qui permet d'intégrer des amplificateurs optiques [1], ou encore sur l'intégration par TOV [2] (Through-Oxide-Vias) qui présente des capacités d'interface très faibles par rapport aux micro-bumps, plus classiquement utilisés.

Dans ce papier, nous développerons successivement l'intégration monolithique, par wire-bonding et par flip-chip. Dans chacun des cas, nous nous appuyerons sur un ou deux articles proposant la méthode en question afin de comparer les performances obtenues. De plus nous orienterons cet article sur la conception d'un transmetteur à base d'anneaux résonants. En effet, les exemples illustrés ici visent principalement des applications pour les liens datacenters et le modulateur en anneau constitue une bonne solution pour satisfaire les standards actuels de ce domaine. Nous serons ainsi particulièrement attentifs, dans cet article, aux moyens envisagés pour respecter ces critères, à savoir un débit de 25 Gb/s, une adaptation aux packagings existants et une consommation la plus faible possible.

2. Intégration monolithique

L'intégration monolithique consiste à utiliser la même puce pour les parties photoniques et électroniques du transmetteur. Cette technique est mise en œuvre dans les travaux de Buckwalter [3] et de Rosenberg [4].

Dans le premier papier [3], Buckwalter propose la démonstration d'un transceiver en technologie SOI (silicium-sur-isolant) 130nm. Le modulateur est constitué par un anneau résonant, polarisé en inverse, le principal intérêt souligné ici étant d'abaisser la consommation de puissance. Quant au driver, celui-ci est basé sur une structure push-pull auquel est ajouté un module de pre-emphasis ce qui permet de compenser les limitations des réponses électrique et optique de

l'anneau. Par conséquent le transmetteur peut supporter des débits jusqu'à 25 Gb/s contre 15 Gb/s sans pre-emphasis. Ce papier constitue la première démonstration d'un transceiver entièrement intégré dont l'implémentation est illustrée sur la figure 1.

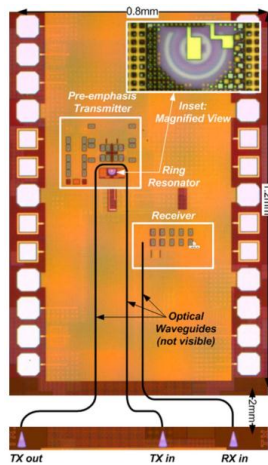


Figure 1. Microphotographie de la puce du transceiver optique à 25 Gb/s [3]

Dans le second article [4], Rosenberg présente l'intégration monolithique d'un modulateur et de son driver en technologie 90nm qui utilise le procédé CINP (CMOS Integrated Nano-Photonics) de IBM. Une image du transmetteur est donnée sur la figure 2 qui montre également une vue agrandie du modulateur sur la droite. Le design de celui-ci est basé sur un anneau afin de réduire la consommation d'énergie mais aussi la surface du transmetteur. Cependant la particularité de l'anneau est qu'il intègre dans sa structure un interféromètre de Mach-Zehnder (MZI) ce qui permet d'ajuster indépendamment le coefficient de couplage et la longueur d'onde de résonance de l'anneau. Associé à un driver « doubleur de tension », ce modulateur réalise de bonnes performances jusqu'à 25 Gb/s qui pourraient être améliorées davantage en diminuant la taille de l'anneau par exemple.

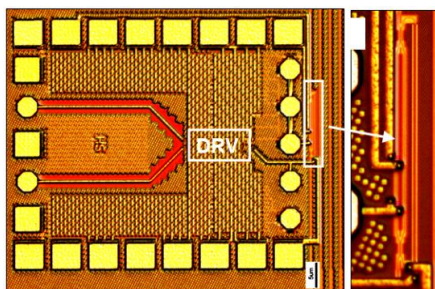


Figure 2. Image au microscope du modulateur intégré avec le driver [4]

Cette technique d'intégration est ainsi relativement simple à mettre en œuvre car les connexions entre l'EIC (electronic integrated circuit) et le PIC (photonic integrated circuit) sont facilement maîtrisables ce qui permet un bon contrôle des éléments parasites. Cependant, l'intégration monolithique est souvent

réservée à des procédés de fabrication anciens car l'optimisation des composants optiques ne peut pas être réalisée directement avec une technologie avancée. Le passage à un nœud réduit demande soit de modifier le procédé existant soit de compenser les pertes optiques en optimisant le circuit électronique par l'utilisation de composants plus perfectionnés, d'où un coût de fabrication plus élevé.

3. Intégration par wire-bonding

L'intégration par wire-bonding est incluse dans un type plus général d'intégration qui est l'intégration hybride. Ceci signifie que, contrairement à l'intégration monolithique, ce procédé utilise deux plateformes distinctes pour implémenter le circuit électronique (EIC) et le circuit photonique (PIC). Dans le cas du wire-bonding, les connexions entre l'EIC et le PIC sont réalisées par des fils en cuivre ou en or.

Les travaux de Li [5] portent sur la conception d'un transmetteur WDM (wavelength division modulation) à 5 canaux, chacun supportant un débit de 25 Gb/s. Le modulateur se présente également sous la forme d'un anneau résonant car grâce à sa taille compacte, il constitue une solution économe en énergie. De plus, sa réponse optique sélective en fréquence permet d'effectuer facilement le multiplexage en longueur d'onde. Le driver s'appuie sur une structure différentielle à couplage capacitif afin de fournir au modulateur une importante plage de tension de $4 \cdot V_{dd}$. Il intègre en outre un égaliseur « feed-forward » (FFE) permettant d'appliquer du pre-emphasis asymétrique au modulateur pour compenser ses non-linéarités optiques.

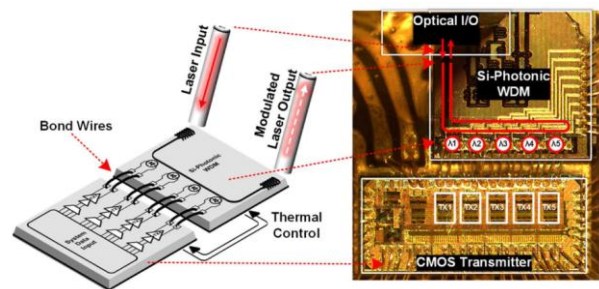


Figure 3. Assemblage prototype du transmetteur optique [5]

L'intégration hybride illustrée à la figure 3 permet de fabriquer les puces électroniques et photoniques dans deux procédés distincts : la technologie 65 nm general-purpose pour l'EIC et la technologie 130 nm SOI pour le PIC ce qui rend cette technique très attractive car très flexible pour optimiser indépendamment les composants électroniques et optiques. Lors de l'implémentation, il a néanmoins fallu prendre garde à aligner précisément les pads des circuits électriques et optiques afin de contrôler la longueur des fils de connexion. En effet l'intégration par wire-bonding ajoute des éléments parasites au design du transmetteur qui peuvent compromettre ses performances. Cependant ces limitations ont été maîtrisées et une consommation en énergie inférieure à

2,5 pJ/bit (incluant le driver uniquement) a pu être observée pour ce dispositif.

L'intégration hybride présente l'avantage principal de pouvoir concevoir sur mesure chaque dispositif électronique ou photonique mais les coûts de fabrication sont plus importants en raison des deux types de procédés différents nécessaires pour optimiser l'EIC et le PIC. En outre, la méthode par wire-bonding reste une intégration 2D, donc relativement coûteuse en surface par rapport à l'intégration 3D présentée dans le paragraphe suivant.

4. Intégration par flip-chip

L'intégration par flip-chip (« puce retournée ») est aussi une intégration hybride qui permet de séparer le design des puces électroniques et optiques. Elle présente donc les mêmes avantages que l'intégration par wire-bonding mais elle permet, de surcroît, de réduire l'empreinte à une seule puce, d'où un package beaucoup plus compact. Ceci constitue une des raisons avancées par Chen dans le papier [6] pour justifier leurs efforts pour passer d'une technique wire-bonding à flip-chip.

Les connexions entre puces sont réalisées le plus couramment par des bumps ou des piliers en cuivre. Ainsi les performances des transceivers à des débits élevés peuvent être améliorées car les impédances parasites sont réduites par rapport au wire-bonding.

L'article [7] publié par Hayakawa présente une nouvelle configuration de transceiver électro-optique qui adopte une structure en pont afin de réaliser l'intégration hybride (voir figure 4). Cette structure permet d'optimiser les interfaces entre l'EIC et le PIC d'une part et entre l'EIC et le substrat d'autre part en minimisant les distances et en veillant à utiliser la technologie de bumps appropriée dans chaque cas : des bumps C4 (Controlled Collapse Chip Connection) de pitch 150 µm ou des micro-bumps C4 de pitch 50 µm. Ainsi le transmetteur, un anneau résonant en polarisation directe associé à un driver différentiel, peut conserver une bonne intégrité des signaux et de la puissance à un débit de 25 Gb/s . Cependant en adoptant ce type de packaging, le design de chacun des composants sera contraint afin de vérifier les dimensions imposées par la structure.

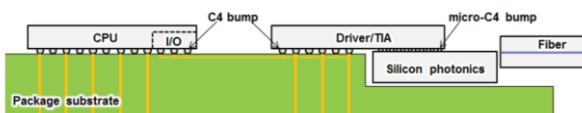


Figure 4. Schéma de la structure en pont de l'intégration par flip-chip [7]

Dans le papier [8], Rakowski propose la démonstration d'un transceiver à quatre canaux, à base d'anneaux résonants. Du côté du transmetteur, chaque modulateur en anneau, de type déplétion de porteurs, est connecté via l'intégration flip-chip à un driver différentiel asymétrique. Celui-ci est constitué de deux étages distincts pour moduler séparément l'anode et la cathode de l'anneau : l'étage cathode fournit au

modulateur la polarisation inverse d'excursion V_{dd} tandis que l'étage anode étend cette plage de tension vers la polarisation directe pour atteindre $1,5 \cdot V_{dd}$. Cette configuration permet d'augmenter sensiblement le taux d'extinction du transmetteur jusqu'à 10 dB pour un débit de 20 Gb/s. Les figures 5 et 6 présentent successivement une image de la puce photonique qui utilise une ligne de fabrication CMOS de 130nm, une image de la puce électronique fabriquée dans une technologie 40nm low-power, et enfin l'assemblage hybride rattaché à un PCB et auquel sont connectées les fibres optiques.

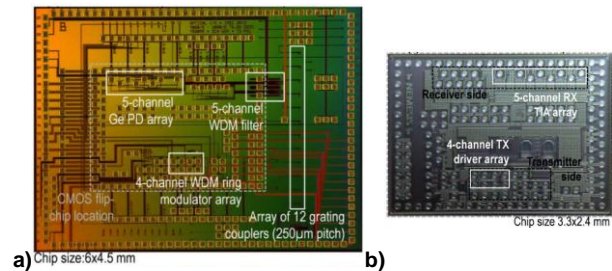


Figure 5. a) Image du PIC, b) Image de l'EIC [8]

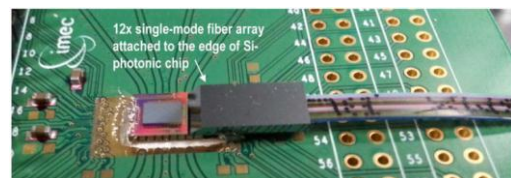


Figure 6. Transceiver intégré par flip-chip [8]

L'intégration par flip-chip est certainement la plus complexe à mettre en œuvre, cependant tout en étant très flexible vis-à-vis des procédés de fabrication de l'EIC et du PIC, elle permet d'atténuer les parasites et ainsi de maximiser les performances du transceiver. De plus, elle facilite l'assemblage des fibres optiques qui n'ont plus besoin d'être forcement couplées verticalement.

5. Conclusion

Nous avons présenté trois méthodes d'intégration à travers plusieurs démonstrations issues de l'état de l'art. Leurs performances sont comparées dans le tableau récapitulatif ci-après (Table 1). L'architecture des drivers et des modulateurs étant différente d'une publication à l'autre, il semble difficile d'établir un critère unique permettant de juger la qualité de l'intégration des transmetteurs. Cependant, sur la base de ces cinq publications, nous pouvons constater que l'intégration hybride permet de réduire la consommation de puissance par rapport à l'intégration monolithique. En outre, l'intégration par flip-chip paraît plus adaptée pour minimiser la surface des puces et ainsi vérifier les contraintes imposées par le packaging.

Les challenges de l'intégration sont multiples et nécessitent qu'on s'y attarde afin de concevoir le transceiver le plus optimisé possible que ce soit en termes de coût de fabrication, de compacité du packaging ou d'intégrité des signaux modulés.

L'évolution des technologies vise aujourd'hui à diminuer la longueur des interconnexions ainsi que le pitch entre les pads afin de réduire les parasites associés et par conséquent améliorer l'efficacité des transceivers électro-optiques.

Les applications de la photonique sur silicium ambitionnent d'augmenter le débit des données tout en respectant des contraintes de surface et d'efficacité, ce qui fait de l'intégration un enjeu majeur pour cette technologie.

Références

- [1] N. Dupuis, B. G. Lee, J. E. Proesel, A. Rylyakov, R. Rimolo-Donadio, C. W. Baks, A. Ardey, C. L. Schow, A. Ramaswamy, J. E. Roth, R. S. Guzzon, B. Koch, D. K. Sparacin, and G. A. Fish, "30-Gb/s Optical Link Combining Heterogeneously Integrated III-V/Si Photonics With 32-nm CMOS Circuits," *J. Light. Technol.*, vol. 33, no. 3, pp. 657–662, 2015.
- [2] E. Timurdogan, Z. Su, K. Settaluri, S. Lin, S. Moazeni, C. Sun, G. Leake, D. D. Coolbaugh, B. R. Moss, M. Moresco, V. Stojanovi, and M. R. Watts, "An Ultra Low Power 3D Integrated Intra-Chip Silicon Electronic-Photonic Link," in *Optical Fiber Communication Conference and Exposition*, 2015, pp. 7–9.
- [3] J. F. Buckwalter, X. Zheng, G. Li, K. Raj, and A. V. Krishnamoorthy, "A monolithic 25-Gb/s transceiver with photonic ring modulators and ge detectors in a 130-nm CMOS SOI process," *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1309–1322, 2012.
- [4] J. C. Rosenberg, W. M. J. Green, J. Proesel, S. Assefa, D. M. Gill, T. Barwicz, S. M. Shank, C. Reinholm, M. Khater, E. Kiewra, S. Kamlapurkar, and Y. a. Vlasov, "A monolithic microring transmitter in 90 nm SOI CMOS technology," in *IEEE Photonics Conference, IPC*, 2013, pp. 223–224.
- [5] H. Li, Z. Xuan, A. Titriku, C. Li, K. Yu, B. Wang, A. Shafik, N. Qi, Y. Liu, R. Ding, T. Baehr-Jones, M. Fiorentino, M. Hochberg, S. Palermo, and P. Y. Chiang, "A 25 Gb/s, 4.4 V-Swing, AC-Coupled Ring Modulator-Based WDM Transmitter with Wavelength Stabilization in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 50, no. 12, 2015.
- [6] C. Chen, C. Li, A. Shafik, M. Fiorentino, P. Chiang, S. Palermo, and R. Beausoleil, "A WDM Silicon Photonic Transmitter based on Carrier- Injection Microring Modulators," in *IEEE Optical Interconnects Conference*, 2014, pp. 121–122.
- [7] A. Hayakawa, M. Kibune, A. Toda, S. Tanaka, T. Simoyama, Y. Chen, T. Akiyama, S. Okumura, T. Baba, T. Akahoshi, S. Ueno, M. Kazunori, M. Imai, J. H. Jiang, P. Thachile, T. Riad, S. Sekiguchi, S. Akiyama, Y. Tanaka, K. Morito, D. Mizutani, T. Mori, T. Yamamoto, and H. Ebe, "A 25 Gbps silicon photonic transmitter and receiver with a bridge structure for CPU interconnects," in *Optical Fiber Communication Conference*, 2015, pp. 1–3.
- [8] M. Rakowski, M. Pantouvaki, P. De Heyn, P. Verheyen, and M. Ingels, "A 4×20Gb/s WDM Ring-Based Hybrid CMOS Silicon Photonics Transceiver," in *IEEE International Solid-State Circuits Conference*, 2015, pp. 408–410.

Publication	[3]	[4]	[5]	[7]	[8]
Méthode d'intégration	Monolithique	Monolithique	Wire-bonding	3D flip-chip	3D flip-chip
Débit	25 Gb/s	25 Gb/s	25 Gb/s	25 Gb/s	20 Gb/s
Surface	~ 0,96 mm ² 1 canal - TxRx	~ 1,4 mm ² 1 canal - Tx	~ 5,3 mm ² 5 canaux - Tx	~ 4 mm ² 6 canaux - TxRx	~ 7,9 mm ² 5 canaux - TxRx
EIC - TX					
Nœud CMOS	130 nm SOI	90 nm CINP	65 nm GP	28 nm	40 nm LP
Excursion de tension	2,4 V _{pp} + 0,6 V pre-emphasis	3 V _{pp}	4,4 V _{pp}	0,24 V _{pp} + 1 V pre-emphasis	1,95 V _{pp}
Énergie consommée (driver uniquement) *	7,2 pJ/bit	5,5 pJ/bit	2,47 pJ/bit	2,9 pJ/bit	1,3 pJ/bit
PIC					
Mode de l'anneau	Déplétion	Déplétion	Déplétion	Injection	Déplétion
Dimension de l'anneau	Rayon de 7,5 μm	Section active de 250 μm	Rayon de 7,5 μm	Section active de 60 μm	Rayon de 7,5 μm
Efficacité de modulation	20 pm/V	~ 16 pm/V	28 pm/V	~ 1 nm/V	35 pm/V
Taux d'extinction	6,5 dB	3,5 dB	7 dB	11,6 dB	>7 dB
*La consommation des receveurs entre en second ordre dans le bilan énergétique d'un transceiver donc nous pouvons nous limiter ici à la comparaison des énergies des transmetteurs.					

Table 1. Comparaison des performances